

“光电子与微电子器件及集成”重点专项 2018 年度项目申报指南建议

为落实创新驱动发展战略，促进我国光电子与微电子基础元器件技术的不断发展，支撑“宽带中国”、“一带一路”与“中国制造 2025”等国家战略的实施。按照《国家中长期科技发展规划纲要（2006-2020）》部署，根据国务院《关于深化中央财政科技计划（专项、基金等）管理改革的方案》，国家重点研发计划启动实施“光电子与微电子器件及集成”重点专项。根据本专项实施方案的部署，现提出 2018 年度项目申报指南建议。

本重点专项总体目标是：发展信息传输、处理与感知的光电子与微电子集成芯片、器件与模块技术，构建全链条光电子与微电子器件研发体系，推动信息领域中的核心芯片与器件研发取得重大突破，改变我国网络信息领域中的核心元器件受制于人的被动局面，支撑通信网络、高性能计算、物联网与智慧城市等应用领域的自主可控发展，满足国家发展战略需求。

本重点专项按照硅基光子集成技术、混合光子集成技术、微波光子集成技术、集成电路与系统芯片、集成电路设计方法学和器件工艺技术 6 个创新链（技术方向），共部署 49 个重点研究任务。专项实施周期为 5 年（2018~2022 年）。

1. 硅基光子集成技术

1.1 硅基发光基础理论及器件关键技术（基础前沿+共性关键技术类）

研究内容：开展硅基高效发光材料的设计、制备和器件研制，解决硅基光电集成的光源这一瓶颈问题。研究硅基掺杂与缺陷调控及高效发光机理；研究硅基纳米结构高效发光材料与器件；研究硅基稀土掺杂/缺陷电致发光材料及器件；研究锗锡IV族直接带隙发光材料能带调控和相关器件；研究硅衬底上III-V族化合物半导体材料的外延生长及激光器。

考核指标：突破硅基高效发光材料和器件难题，研制出硅衬底上的多种激光器。设计和实现基于能带工程、掺杂工程、缺陷工程的 2 种以上新结构高效硅基发光材料；硅基纳米结构高效发光器件能量转移效率>65%，外量子效率>10%；研制的硅基稀土掺杂/缺陷电致发光器件 800 小时效率衰减小于 25%；制备出具有直接带隙的锗锡发光材料，实现光泵和电泵激射；研制出硅基III-V 化合物半导体激光器，实现室温连续激射，阈值电流密度<100A/cm²。申请发明专利 20 项以上，发表论文 80 篇以上。

1.2 Tb/s 级光传输用光电子器件及集成（共性关键技术类）

研究内容：研究 1Tb/s 级相干光调制芯片、相干光接收芯片和相干光模块技术，包括高消光比的偏振旋转与偏振分合束技术、高速调制器、波分复用器、高精度 90 度混频技术、宽带探测器阵

列集成技术；研制光调制和接收芯片的封装和模块，包括高速驱动电路与硅基相干光调制芯片的集成技术、高速 TIA 等集成电路与硅基相干光接收芯片的集成技术、相干光通信模块功能测试分析、ESD 防护性能和可靠性评估技术。研究微米量级电光调制器的结构和机理，包括电场和光场的相互作用增强机制、新型高效电光调制方法、超小型高速电光调制器的制备工艺开发及测试等。

考核指标：研制出总容量>1Tb/s 级传输的相干光收发芯片及模块，实现高速硅光调制器、探测器、波分复用器和偏振复用器等多种功能元件的片上集成及模块化封装。封装后模块的模拟调制带宽和相干接收带宽>28GHz。收发模块误码性能、可靠性和工作温度应符合商用标准；光信号谱间隔<300GHz，进行 1Tb/s 级系统传输>600km 的应用验证。制备微米量级电光调制器，调制速率>40Gb/s，调制器有源区尺寸<10 μm，器件带有 C 波段信号波长跟踪和锁定功能。申请发明专利 50 项以上，发表论文 30 篇以上。

1.3 光接入用 100G PON 核心硅基光电子器件（共性关键技术类）

研究内容：面向 25/50/100G PON 光收发模块的需求，研究低损耗高消光比的 25Gb/s 硅基光调制器、高灵敏度的 25Gb/s 锗硅光探测器，实现调制器、探测器、滤波器、光纤耦合器等功能器件的硅基集成。研究高线性度的硅基光调制器、锗硅光探测器、

波分复用器件及技术，实现 50Gb/s 收发一体化硅光集成芯片；研究高功率激光器与硅基光波导高效混合集成技术；搭建光收发模块验证测试系统，开发 25/50 Gb/s PON 硅基集成光收发模块工程样品；研究硅基多通道 100Gb/s PON 核心芯片及模块化封装技术。

考核指标：实现单纤双向单通道 25Gb/s 硅基光收发集成芯片，其中硅基光调制器工作速率不低于 28 Gb/s、插损不大于 6.5 dB；锗硅光探测器工作速率不低于 28 Gb/s、响应度不低于 0.8 A/W；激光器芯片直流输出光功率不低于 60mW；实现单通道 50Gb/s 硅基光收发集成芯片；研制出基于硅基光电子集成芯片的 25/50 Gb/s PON 光收发模块工程样品，发射光功率不低于 3 dBm、接收灵敏度优于 -20 dBm ($\text{BER} = 2\text{E-}3$)。验证硅基多通道 100Gb/s PON 的方案，实现 25/50 Gb/s PON 光收发模块小批量生产。申请发明专利 45 项以上，发表论文 30 篇以上。

2. 混合光子集成技术

2.1 复合微纳体系光子器件及集成（基础前沿+共性关键技术类）

研究内容：研究新型复合微纳光子结构中光场模式、模式密度和模式耦合，以及复合微纳结构中自由电子-激元耦合、声子-光子耦合所产生的物理效应及机制；研究复合微纳体系中光自旋-动量耦合、光子拓扑态传输、非互易传输、光子-光子相互作用、

光子-激子相互作用以及光场多维调控；研究同时兼备高空间分辨率和高时间分辨能力的精密观测和表征技术；研制超小、超快、低能耗的微纳光电功能器件和超快高集成度的光子芯片技术。

考核指标：在 460nm~760nm 可见光波段和 980nm~1700nm 近红外波段标准光纤到微纳光纤器件耦合效率 $\geq 90\%$ ，微纳光纤器件到硅基集成芯片的耦合效率 $\geq 50\%$ ；观测与表征技术的空间分辨率高于 10nm，时间分辨率高于 100fs，视场范围 1~100 μm ，工作波长范围 0.3~1.55 μm ；微纳光调制与光开关时间达到皮秒量级；连续光输出的微纳宽谱光源波长范围覆盖 200nm~1600nm，且紫外波段调谐范围达 90 nm；实现不低于 4 个光子功能器件的芯片集成，功能器件之间的距离为波长量级。相关功能器件和集成芯片 4 能够进行应用演示。申请发明专利 20 项以上，发表论文 80 篇以上。

2.2 高迁移率 CMOS 与红外光子器件混合集成芯片技术（基础前沿+共性关键技术类）

研究内容：研究具有高载流子迁移率且工作在红外波段的硅衬底制备技术；研究与光子器件集成的硅基高迁移率 CMOS 器件制备关键技术；研究基于工作波长在 2~5 μm 红外波导的探测器、调制器和激光器及其与高迁移率 CMOS 器件的混合集成工艺；研究混合芯片制造关键工艺和硅光电混合芯片集成工艺以及光互连集成技术。

考核指标:锡组份大于 12%的锗锡合金材料,MOS 结构载流子浓度为 $3 \times 10^{12} \text{cm}^{-2}$ 时,载流子有效迁移率超过硅材料的 3 倍,锗锡红外探测器 $2 \mu\text{m}$ 波长响应度 $>120 \text{ mA/W}$,器件截止波长 $>2.7 \mu\text{m}$;硅基绝缘层上高迁移率 CMOS 器件集成,载流子浓度为 $3 \times 10^{12} \text{cm}^{-2}$ 时,沟道载流子迁移率超过硅 CMOS 器件的 3 倍,器件工作电压和开关比优于同等尺寸硅器件;实现至少两种 8 英寸硅衬底上红外光子器件与高迁移率 CMOS 器件的混合集成芯片,实现 $\geq 40 \text{ Gb/s}$ 带宽,工作波长在 $2 \sim 5 \mu\text{m}$;红外激光器 $5 \mu\text{m}$ 室温连续输出功率 $>2 \text{ W}$ 、单模功率 $>1.5 \text{ W}$ 、单模调谐范围 30 nm ; $5 \mu\text{m}$ 单模激光器的室温连续工作阈值功耗 $<0.6 \text{ W}$,并实现红外激光器与 III-V 族 MOSFET 器件集成。上述器件能够进行系统演示。申请发明专利 20 项以上,发表论文 80 篇以上。

2.3 面向骨干网通信应用的 400GE 光收发阵列芯片研究(共性关键技术类)

研究内容:研究高功率激光器 and 高速调制器阵列集成芯片、高均匀性多通道波分复用芯片、高速率宽光谱高灵敏探测器阵列芯片技术;研究激光器、调制器、探测器以及波分复用芯片的单片/混合集成技术;研究 400 Gb/s 高线性光发射与接收集成光模块技术;研究激光器芯片波长稳定与调控技术;研究光发射与接收集成芯片与器件自校准测试和封装技术。

考核指标:实现光发送阵列芯片和接收阵列芯片的单片速率

达到 400Gb/s; 调制或响应带宽>25GHz; 最小发射光功率>-2.8dBm/通道, 接收灵敏度<-7.1dBm; 研制出八通道合分波功能的混合或单片集成芯片, 波长范围为 1272.55~1310.19nm, 符合 LR8 标准; 系统演示实现>10km 单模光纤无误码传输。申请发明专利 50 项以上, 发表论文 30 篇以上。

2.4 面向数据中心应用的宽带光收发集成器件及模块（共性关键技术类）

研究内容：为满足多通道大容量光互连的需求, 研究 4×100Gb/s 光发射与接收集成器件及模块。研究 4 通道高功率单模激光器阵列芯片技术; 研究 4 通道调制器阵列芯片技术; 研究 4 通道探测器阵列芯片技术; 研究 4×100Gb/s 光收发模块技术及系统应用。

考核指标：波长分配 1271/1291/1311/1331nm, 波长精度为 +/-6.5nm; 调制器及探测器 3dB 带宽>40GHz; 激光器阵列单元激光器出光功率不小于 50mW, 激光器与调制器光耦合效率>50%; 收端灵敏度<-5dBm@BER 2e⁻⁴; 收发模块数据传输速率 400Gb/s, 每通道输出功率>-2.0dBm, 合波总功率>4.0dBm。4×100Gb/s 收发模块完成系统功能演示, 传输距离 500m 以上, 消光比到 3.5dB。申请发明专利 55 项, 发表论文 30 篇。

2.5 面向短距离光互连应用的多模光收发芯片、器件与模块（共性关键技术类）

研究内容：研究波长 850nm 速率 25Gb/s 的面发射激光器（VCSEL）芯片设计与制备工艺；研究低暗电流、高响应度的 850nm 波段探测器芯片设计与制备工艺；研究多模单通道 25Gb/s VCSEL 驱动控制电路技术；研究多模单通道 25Gb/s 的放大控制电路技术；研究多模 4×25G 混合集成光收发模块技术与系统应用。

考核指标：实现 25Gb/s VCSEL 芯片，工作波长 840~860nm，3dB 带宽>20GHz，阈值电流<1.5mA；实现探测器芯片的接收波长达到 830~870nm，3dB 带宽>20GHz，暗电流<0.1nA，响应度>0.5A/W；实现 4 通道集成化光收发模块，传输速率达到 4×25.78Gb/s 或 4×28.05Gb/s，可编程范围≥12.8mA，总功耗<1000mW；完成多模 4 通道集成光收发模块在光互联中的应用演示，实现不低于 100 米多模光纤传输。申请发明专利 35 项，发表论文 30 篇。

2.6 相干光通信系统中的光发射与调控集成芯片技术（共性关键技术类）

研究内容：研究窄线宽激光器高频调制与发光特性；研究可调谐激光器波长调谐与稳定控制机制；研究集成化超窄线宽半导体激光器芯片设计与制备技术；研究高稳频窄线宽激光器与调制器混合集成技术。研究集成化宽调谐窄线宽半导体激光器芯片设计与制备技术；研究宽调谐窄线宽激光器与相干接收平衡探测器的混合集成技术。

考核指标：高稳频窄线宽激光器频率稳定度标准方差 $<10^{-8}@100\text{s}$ ，线宽 $<10\text{kHz}$ ；实现激光器小批量生产；与双偏振双载波调制器（含驱动）实现模块化集成，调制速率不低于 400 Gb/s ，输出功率 $\geq 1\text{mW}$ ；完成 400-Gb/s 相干光通信系统演示验证。集成化可调谐窄线宽半导体激光器芯片的线宽 $<50\text{kHz}$ ，波长调谐范围 $\geq 35\text{nm}$ (C 波段)，输出功率 $\geq 20\text{mW}$ ，波长调谐精度 $<\pm 2.5\text{GHz}$ ；实现激光器小批量生产；与混频器、平衡探测器、跨阻放大器和偏振分束器等相干接收系统进行混合模块化集成，单载波带宽 $\geq 40\text{ Gb/s}$ ，并完成 400-Gb/s 相干光通信系统演示验证。申请发明专利 20 项以上，发表论文 50 篇以上。

2.7 无源光网络中的 25G/100G 混合光子集成芯片及模块（共性关键技术类）

研究内容：研究面向无源光网络（PON）的高功率 25G 激光器芯片技术；研究面向 PON 的高灵敏度 25G APD 芯片技术；研究基于混合集成技术的 PON 收发组件的封装技术与工艺；实现突发接收与高效的 FEC 功能，完成 25G/50G 或 25G/100G 及以上速率 PON 光模块开发与小批量生产，实现 PON 网络示范应用。

考核指标：面向 PON 应用，25G 激光器芯片发射光功率 $\geq 10\text{dBm}$ ，消光比 $>6\text{dB}$ ，3dB 带宽 $\geq 21\text{GHz}$ ；25G APD 芯片灵敏度 $<-26\text{dBm}$ （ $25\text{Gb/s}@10^{-3}$ 误码率），3dB 带宽 $\geq 21\text{GHz}$ ；实现基于混合集成技术的 PON 收发组件的发射光功率 $\geq 3\text{dBm}$ ，接收灵敏度

<-23dBm (25Gb/s@ 10^{-3} 误码率); 实现支持平滑升级的 25G/50G 及以上 PON 光模块与示范应用,每个通道功耗<1.5W,与现有 10G PON 兼容; 开通一个试验局, 实现小批量生产。申请发明专利 35 项, 发表论文 30 篇。

2.8 面向 5G 应用的光传输核心芯片与模块(共性关键技术类)

研究内容: 研究宽温、高线性 25Gb/s DFB 激光器芯片设计、制备与长期可靠性评价技术; 研究高线性 25Gb/s EML 芯片设计与制备技术; 研究 25Gb/s 波长可调谐激光器芯片设计技术; 研究单通道 50Gb/s (PAM-4 格式) 高线性度激光器驱动、高线性度高灵敏度 TIA 芯片技术、PAM-4 调制与解调及非线性补偿与信号均衡等集成芯片技术; 研究 25Gb/s DFB 激光器宽温封装与 25Gb/s EML 器件封装技术及光收发模块设计的电信号完整性、热管理技术。

考核指标: 实现高可靠性、宽温、高线性 25Gb/s DFB 芯片, 小信号调制带宽达到 18GHz, 输出光功率达到 10mW, 工作温度范围满足-40~+85℃; 实现 C 波段 25Gb/s EML 芯片的小信号调制带宽达到 22GHz, 输出光功率达到 2mW; 实现 C 波段 25Gb/s 可调谐激光器芯片的小信号调制带宽达到 20GHz, 波长调谐范围 $\geq 35\text{nm}$; 实现单通道 50Gb/s (PAM-4 格式) 光收发集成电路芯片, 激光器驱动单元小信号调制带宽达到 22GHz, PAM-4 收发芯片电接口插损 $\geq 30\text{dB}$; TIA 输出小信号带宽达到 22GHz; 研制单通道

25Gb/s 宽温光收发模块与 50Gb/s、100Gb/s、200Gb/s 非相干调制密集波分光收发模块，宽温光模块满足工作温度范围-40~85℃，消光比>4.0dB，接收灵敏度>-11.0dBm，密集波分光收发模块满足单载波 50Gb/s。完成相关器件模块在典型 5G 场景下的应用演示。申请发明专利 60 项，发表论文 30 篇。

3. 微波光子集成技术

3.1 宽带无线接入微波光子芯片基础研究（基础前沿+共性关键技术类）

研究内容：研究大功率低噪声半导体激光器及阵列芯片、宽带低半波电压电光调制器及阵列芯片以及宽带高饱和光探测器及阵列芯片；研究宽带、高精度二维微波光子波束形成芯片、频率和带宽高速可重构微波光子滤波器及阵列芯片以及宽带、高抑制比光学单边带调制芯片；研究多频段微波光子融合传输与宽带无线接入技术、微波光子多芯传输与多制式无线信号的融合接入技术以及宽带微波光子多波束技术及其无线接入技术。

考核指标：半导体激光器输出光功率 $\geq 200\text{mW}$ 、RIN 噪声 $\leq -160\text{dBc/Hz}$ ，半导体激光器阵列输出功率 $\geq 100\text{mW}$ 、通道间隔 200 GHz、RIN 噪声 $\leq -155\text{dBc/Hz}$ ；电光调制器及阵列芯片调制带宽 $\geq 40\text{GHz}$ 、半波电压 $\leq 4\text{V}$ ；光电探测器及阵列芯片带宽 $\geq 40\text{GHz}$ 、饱和光功率 $\geq 100\text{mW}$ ；波束形成芯片瞬时带宽 $\geq 4\text{GHz}$ 、延时精度

$\leq \pm 0.3\text{ps}$ 、通道数 4×4 ；可重构滤波器及阵列芯片频率调谐范围 $\geq 40\text{GHz}$ 、射频带外抑制比 $\geq 60\text{dB}$ 、响应时间 $\leq 100\ \mu\text{s}$ ；单边带调制芯片频率覆盖 $8\sim 40\text{GHz}$ 、边带抑制比 $\geq 30\text{dB}$ 。实现频段数 ≥ 2 、动态范围 $\geq 120\text{dB}\cdot\text{Hz}^{2/3}$ 的多频段微波光子融合传输；实现信道数 ≥ 8 、串扰 $\leq -20\text{dB}$ 的多制式无线信号多芯传输与分配；实现波束数目 ≥ 4 、瞬时带宽 $\geq 4\text{GHz}$ 的宽带微波光子多波束收发。申请发明专利 30 项，发表论文 80 篇。

3.2 光子模拟信号处理芯片基础研究（基础前沿+共性关键技术类）

研究内容：研究可重构光子模拟处理芯片技术，在光子集成芯片上实现微分、积分和希尔伯特变换等信号处理功能的可重构；研究光子集成芯片与微波集成电路的混合集成，研制集成化可调谐微波信号产生芯片。研究集成化宽带色散延时芯片与器件；研究超宽带线性调频信号产生的微波光子芯片；研究超宽带任意波形产生的系统集成。

考核指标：光子模拟信号处理芯片瞬时带宽大于 40GHz ，信号处理功能可在微分、积分和希尔伯特变换之间切换，信号处理误差小于 10%；实现芯片级可调谐光生微波源，微波信号频率覆盖范围 $6\sim 18\text{GHz}$ ，相位噪声低于 $-90\text{dBc/Hz}@10\text{kHz}$ 。集成化色散延时芯片的光谱带宽大于 5nm ，色散值大于 100ps/nm ；线性调频信号频谱覆盖 $10\sim 60\text{GHz}$ ；任意波形频谱覆盖范围 $10\sim 60\text{GHz}$ ，采

样率不小于 100GS/s。申请发明专利 30 项，发表论文 80 篇。

4. 集成电路与系统芯片

4.1 超低功耗、高可靠和强实时微控制器芯片技术

研究内容：面向物联网节点超长待机和免维护的应用需求，研发超低功耗微控制器芯片；研究宽电源电压范围的片上存储器和标准单元、微瓦级数模转换器、纳瓦级间隙式片上振荡器、宽负载高效率电源转换器和自适应动态电压频率调节技术。面向工业控制应用场景下苛刻工作环境和强实时性的应用需求，研发高可靠强实时微控制器芯片；研究处理器实时处理技术、高可靠性增强及容错技术、宽温度工作范围和工业控制通信增强型总线设计技术。

考核指标：实现一款面向物联网应用的超低功耗微控制器芯片；采用国产嵌入式低功耗 CPU 核、内嵌非易失存储器 NVM 和静态随机存储器 SRAM、模数转换器 ADC 和电源管理等电路，支持宽电源电压（ $0.6 \times VDD \sim 1.0 \times VDD$ ）工作，动态电流（CPU 核运行基准程序 dhrystone）小于 $10\mu A/MHz$ ，休眠电流（包括 32kHz 晶振电路、实时时钟 RTC 电路和 2kB 数据保持存储器）小于 300nA，基准测试程序 EEMBC ULPMark CP(3.0V)得分 300 以上；基于该芯片完成云背景下的物联网示范应用。实现一款面向工业控制应用的高可靠强实时微控制器芯片；内嵌强实时处理器、支持校验和纠错的片上 NVM 和 SRAM、ADC 和电源转换等电路，

工作主频大于 200MHz，高等级事件硬件实时响应时间小于 10 纳秒，工作温度范围达到工业级标准-40℃~85℃，IEC61000-4-2 标准下 ESD 测试不低于 2kV，基于该芯片完成智能制造/电机控制/轨道交通至少一款产品的示范应用。

4.2 面向信息安全的动态可重构系统芯片技术

研究内容：面向云计算、大数据等应用场景下的高安全密码计算及非黑盒攻击问题，研发具备主动防御特性、电路随算法变化而快速变化的新型动态可重构信息安全系统芯片；研究支持主流密码算法的动态可重构芯片计算模式、硬件架构、映射方法、软硬件协同设计机制等关键技术，研究可重构芯片的安全白片关键技术，研究采用动态局部重构技术削弱侧信道攻击的方法，研究基于可重构芯片的物理不可克隆函数设计技术，研究动态可重构芯片集成开发工具的设计技术。

考核指标：采用 28nm 或更先进工艺实现一款面向信息安全应用的高能效、高灵活和高安全的动态可重构系统芯片；该芯片支持分组、序列和杂凑等 30 种以上国内外主流密码算法，支持动态局部重构和对算法簇的硅后扩展：单个算法重构时间小于 100ns、配置信息量小于 10kB，能量效率平均达到主流 FPGA 芯片的 10 倍以上；该芯片的原理图或版图中不包含算法的完整信息；在该芯片上实现 AES 和 SM4 等算法，采用动态局部重构等技术有效削弱侧信道攻击，相对于采用之前，抵御经典差分功耗攻击的能力

至少提升 2 个数量级；采用动态局部重构等技术在该芯片上实现物理不可克隆函数，有效激励响应对 $\geq 2^{128}$ ，内核误码率 $\leq 1e-8$ ；完成该芯片集成开发工具的研制；基于该芯片完成面向信息安全应用的演示样机；关键技术应用于我国核心部门的信息安全装备。

4.3 超高速数据率与宽带可重构射频芯片技术

研究内容：面向车联网、机器人等复杂物联网场景的宽带无线接入应用，研发宽带可重构射频系统集成芯片；研究工作频率和信道带宽的宽范围可重构技术，研究接收机强抗干扰技术，研究宽带高能效发射机技术，研究宽带可重构调制与解调技术。面向宽带 WiFi、虚拟现实等超高速无线连接应用，研发超高数据率射频集成芯片；研究超高数据率调制解调电路技术，研究全集成 MIMO 技术，研究在片集成高效率功率放大器电路技术。

考核指标：实现一款宽带可重构射频芯片；芯片工作频率覆盖 0.4GHz~6GHz，最大瞬时信道带宽不低于 20MHz，0dBm 阻塞（偏离载波 20MHz 处）下的接收机噪声系数低于 10dB，接收机功耗最大不超过 50mW，片上集成功率放大器，发射功率不低于 23dBm，发射机功耗不高于 1W @23dBm 输出功率，发射机 EVM 不低于 30dB，支持不少于 3 种通信协议的实时可重构；基于该芯片完成演示样机，并针对车联网、机器人等复杂物联网应用场景，完成演示系统。实现一款超高数据率射频集成芯片；支持 256QAM 等复杂调制方式，通信峰值数据率不低于 10Gbps，通信距离不低

于 10m；基于该芯片完成演示样机，并针对高速 WiFi、虚拟现实等高速无线互连应用，完成演示系统。

4.4 面向大数据传输的超高速传输互连芯片技术

研究内容：针对大数据、云计算和高性能计算等应用场景，研发超高速传输互连芯片；研究超高速串行传输接口 PHY 物理层电路技术，研究低误码率多元幅度调制与解调电路技术，研究自适应可配置均衡电路技术；研究低抖动时钟恢复电路技术，研究低抖动时钟产生技术；研究多通道低延迟互连接口控制器设计技术，研究高可靠编解码重传技术，研究功耗节能管理与优化技术，研究 BIST 回环自测试技术；研究超高速串行传输接口芯片的封装与测试验证技术。

考核指标：实现一款应用于大数据传输的 100Gbps 串行接口收发 PHY 原型芯片；单 Lane 收发器速率支持 100Gbps，误码率 $\leq 1e-9$ ，功耗 $\leq 2W/Lane$ ，支持多幅度调制 PAM 编码或 NRZ 编码格式，支持 BIST 回环自测试，支持可配置均衡功能。实现一款应用于大数据传输的超高速互连原型芯片；单 Lane 链路数据率不少于 50Gbps，支持 2~4 路链路绑定协同传输，支持全速模式和半速模式，支持 FEC 功能可配置，FEC 纠正前 BER 容限不低于 $e-5$ 量级，支持链路层重传，支持 BIST 自测试功能，含 PRBS31 等通用码型，支持 P/N 极性倒置、Lane 反转功能，支持均衡参数的自动优化，支持功耗节能管理与控制机制；并完成面向大数据传输的

超高速互连原型芯片应用演示样机。

4.5 高能效人机交互芯片技术

研究内容：面向下一代物联网移动智能终端对人机交互的应用需求，研发高能效、高精度、高感知性、高反馈性的人机交互芯片；研究低功耗高精度压感检测电路技术，研究低功耗高精度真皮指纹检测电路技术，研究低功耗高灵敏度手势探测电路技术，研究集成多种信号传感和智能处理技术的低功耗片上系统。

考核指标：实现高能效人机交互芯片；压感检测范围达到0~5kpa，灵敏度 $\geq 2\mu\text{F/kpa}$ ，功耗 $\leq 70\mu\text{W}$ ；真皮指纹检测的拒真率 $\leq 0.01\%$ ，认假率 $\leq 0.0001\%$ ，图像分辨率 $\geq 500\text{DPI}$ ，指纹识别的响应延时 $\leq 500\text{ms}$ ，指纹识别功耗 $\leq 40\text{mW}$ ，待机功耗 $\leq 10\mu\text{W}$ ；实时手势识别准确率 $\geq 90\%$ ，手势识别功耗 $\leq 38\mu\text{W}@1\text{FPS}$ ，终端设备手势唤醒功耗 $\leq 3.5\mu\text{W}@1\text{FPS}$ ；基于研制芯片完成演示样机及其演示系统。

4.6 高精度毫米波/太赫兹雷达与成像芯片技术

研究内容：面向高精度三维成像雷达应用，研发硅基高精度毫米波雷达芯片；研究毫米波频率源生成电路的低相噪技术，研究毫米波收发系统的宽带连续波调频和脉冲调制电路技术，研究毫米波功率放大器的高效率功率合成与发射技术，研究毫米波接收机的低噪声电路技术。面向生物医学成像应用或安检成像应用，研发硅基太赫兹成像阵列芯片；研究太赫兹天线阵列技术，研究

太赫兹低噪声能量检测电路技术，研究高分辨率太赫兹成像阵列技术。

考核指标：实现一款硅基高精度雷达芯片；芯片工作频率高于 100GHz，支持连续波调频、脉冲等多种雷达体制，最大带宽不低于 2GHz，输出功率不低于 10dBm，接收噪声系数优于 15dB @1MHz IF（FMCW 雷达体制），单片集成阵列规模不少于 2 发 3 收，功耗低于 1.6W；基于该芯片完成三维成像雷达样机及其演示系统，距离分辨率优于 0.1m，角度分辨率优于 5°，探测距离不低于 10 米。实现一款硅基太赫兹成像阵列芯片，接收信号频率不低于 220GHz，接收机灵敏度优于 70pW @1kHz 带宽，单片集成阵列规模不少于 4×4，功耗低于 1.5W；基于该芯片完成面向生物医学成像应用或安检成像应用的太赫兹成像样机及其演示系统。

4.7 植入式微纳集成芯片与集成系统

研究内容：面向有源植入式医疗器械应用，研发植入式微纳集成芯片与集成系统；研究高效无线自供能与超低功耗无线寄生通信电路技术；研究高精度、超低功耗微纳传感器信号检测和微纳执行器控制电路技术；研究高精度、高能效生物电信号检测与刺激电路技术；研究小尺寸、高精度植入式压力传感器和小尺寸、低发热植入式微泵；研究满足生物相容性、气密性和 GMP 认证要求的有源植入式微纳集成系统的封装、集成与制造技术；面向医学诊疗应用，研发植入式诊疗用微纳集成芯片与集成系统和植入

式电生理微纳集成芯片与集成系统，并进行基于动物实验的临床应用研究。

考核指标：实现面向有源植入式医疗器械的微纳集成芯片；采用无线供电，传输功率 $PDL \geq 10\text{mW}$ ，传输效率 $PTE \geq 60\%$ @10mm 植入深度，接收线圈 $\leq 20\text{mm} \times 20\text{mm} \times 1.5\text{mm}$ ；无线通讯数据率 $\geq 250\text{kbps}$ @ 10mm 植入深度，误码率 $\leq 1\text{e-6}$ ；微纳传感器信号检测精度 ≥ 8 比特，采样率 $\geq 20\text{kS/s}$ ；生物电信号检测输入参考噪声 rms 值 $\leq 5\mu\text{V}$ ，信号带宽 $1\text{Hz} \sim 1\text{kHz}$ ；生物电刺激精度 ≥ 8 比特，最小脉宽时间 $\leq 10\mu\text{s}$ ，电压型刺激覆盖范围 $0 \sim 7\text{V}$ ，电流型刺激覆盖范围 $0 \sim 2\text{mA}$ ；实现植入式压力传感器，压力检测范围 $-20 \sim 300\text{mmHg}$ ，精度 $\leq \pm 1.5\text{mmHg}$ ，瞬时功耗 $\leq 0.5\text{mW}$ ，尺寸 $\leq 3\text{mm} \times 3\text{mm} \times 1.5\text{mm}$ ；实现植入式微泵，无机械运动部件，无气泡产生，自发热 $\leq 1^\circ\text{C}$ ，尺寸 $\leq 3\text{mm} \times 3\text{mm} \times 1.5\text{mm}$ ，驱动电压 $\leq 5\text{V}$ ，流量 $\geq 2\mu\text{L/min}$ ；基于该芯片、压力传感器和微泵，针对 1 种致盲性疾病的诊疗应用，实现植入式诊疗用微纳集成系统的功能样机；针对 1 种迷走神经电刺激诊疗应用，实现植入式电生理微纳集成系统的功能样机；达到生物相容性、气密性和 GMP 认证的技术要求，并完成基于动物实验等手段的功能演示。

4.8 加速深度学习的新型计算架构研究

研究内容：面向物联网节点和边缘设备低功耗智能处理的迫切需求，研发自适应重构、存内计算和数模混合的高能效深度学

习处理芯片；研究可重构、可扩展的深度学习计算架构，研究精度自适应的计算单元和空间并行的单元阵列，研究支持存内计算的 **CMOS** 静态随机存储器，研究精度可控的数模混合算术运算单元，研究片上自学习技术和计算架构，研究运算误差容忍的深度学习训练方法。

考核指标：实现深度学习处理芯片；支持不同结构和规模的神经网络计算，卷积网络计算的等效峰值能效比 $\geq 100\text{TOPS/W}$ ；计算单元阵列峰值利用率不低于 90%；支持片上存内计算，具有数据存储和卷积计算两种模式，存储器单元失效率小于 $1\text{e-}6$ ；支持数模混合计算，工作电压范围 $0.6\text{VDD}\sim 1.0\text{VDD}$ ，支持 **PVT** 校准，模拟计算引入的识别率损失不超过 2%；满足主流深度学习应用的计算精度要求，针对主流图像数据集识别率达到 92% 以上。

4.9 随机计算新架构

研究内容：研究面向随机计算架构的 **CMOS** 电路设计技术；研究基于随机计算自身容错性的电路功耗和硬件开销优化技术；研究在超低电压工作下随机计算电路的鲁棒性及电路-器件协同优化技术；研究面向随机计算的数据编码方式、目标函数实现方式、以及通用的电路综合工具；研发面向可容错应用的随机计算芯片；探索新兴器件在随机计算中的应用，及其与 **CMOS** 混合集成的设计方法。

考核指标：研制的随机计算芯片，对于典型的可容错应用，

满足在电路单元错误率为 1%的情况下，应用误差不超过 5%；芯片能耗较传统二进制计算电路降低 5 倍以上；建立通用的随机计算电路综合工具，能够实现随机序列生成器和数据通路的协同综合，能够实现与传统二进制计算模块在应用中分割协调。

5. 集成电路设计方法学

5.1 近阈值高精度时序分析技术

研究内容：针对近阈值电路时序波动大、传统静态时序分析方法难以适用的问题，研发近阈值高精度时序分析 EDA 工具；研究近阈值条件下电路时序分布模型，关键时序路径的快速选取方法，关键路径的高精度仿真方法，关键路径时序良率分析方法，关键路径时序统计分析方法和电压灵敏度分析方法，以及大规模电路的时序并行化分析方法。

考核指标：实现近阈值高精度时序分析 EDA 工具；支持 40nm 及以下先进工艺，电路规模 ≥ 1000 万门，支持宽幅、变工作电压的时序分析（ $0.6 \times VDD \sim 1.1 \times VDD$ ，10 个电压节点以上），单条关键路径的延时统计分析相比 6 sigma 蒙特卡洛仿真误差 $\leq 5\%$ ，速度提升 ≥ 1000 倍；基于该工具实现应用示范，支持 2 款以上近阈值芯片的设计流片。

6. 器件工艺技术

6.1 超陡摆幅极低功耗新原理器件及电路

研究内容：研究基于隧穿机理的超陡亚阈摆幅新原理器件的材料与结构设计、关键工艺与集成技术，以及该新原理器件的涨落和可靠性问题；研究基于其它机理的超陡亚阈摆幅新原理器件的物理机制及工艺制备技术；研究超陡亚阈摆幅新原理器件的物理模型及其极低功耗集成电路设计技术。

考核指标：研制出基于隧穿机理的超陡亚阈摆幅器件，工作电压 $<0.4\text{V}$ ，平均亚阈摆幅 $<60\text{mV/dec}$ ，电流开关比 $>1\text{e}6$ ；得到基于隧穿机理的超陡亚阈摆幅器件的涨落和可靠性的统计规律；研制出基于其他机理的超陡亚阈摆幅器件，同时满足工作电压 $<0.4\text{V}$ ，最小亚阈摆幅 $<40\text{mV/dec}$ ，电压回滞 $<10\text{mV}$ ；建立适用于电路仿真与设计的超陡亚阈摆幅新原理器件的物理解析模型；基于超陡亚阈摆幅新原理器件实现 1-2 种极低功耗集成电路，功耗较传统 CMOS 集成电路降低 40% 以上，并在大规模集成工艺平台上实现验证。

6.2 新型嵌入式阻变存储器研究

研究内容：研究基于阻变机制的新型非易失存储器件的物理机制及其性能优化方法；研究适用于嵌入式应用的阻变存储材料和结构设计、基于 CMOS 平台的制备工艺以及嵌入式混合集成技术；研究新型嵌入式阻变存储器的阵列架构、操作方法及控制电路等芯片关键技术。

考核指标：实现基于阻变机理的嵌入式非易失存储器演示芯片，并基于 40nm 及以下工艺节点 CMOS 平台进行嵌入式集成，操作功耗 $\leq 0.1\text{pJ/bit}$ ，读写速度 $\leq 50\text{ns}$ ，工作电压 $\leq 1.5\text{V}$ ，在 125°C 下的数据保持能力 ≥ 10 年，擦写能力 $\geq 1\text{e}6$ 次，芯片容量 $\geq 64\text{Mb}$ 。

6.3 仿生神经形态突触/神经元器件与电路

研究内容：研究高精度仿生神经形态突触器件，包括研究低功耗突触器件及其性能优化方法；研究基于突触可塑性实现类脑信息处理功能的方法；研究可实现对生物神经元整合、发放特性高精度模拟的低功耗神经元器件与电路；研究仿生神经元器件与电路的面积与功耗优化技术。研究基于仿生神经形态器件及电路的神经网络，并探索其在目标识别、智能信号处理等领域的应用。

考核指标：实现神经形态突触器件，突触器件权值精度 $\geq 6\text{bit}$ ，开关比 $\geq 1\text{e}3$ ，尺寸 $\leq 50\text{nm}$ ，响应速度 $\leq 20\text{ns}$ ，单次脉冲操作功耗 $\leq 0.1\text{pJ}$ ，突触阵列规模 $\geq 4\text{k}$ ；基于突触器件实现脉冲时间依赖可塑性、双脉冲易化现象、异源性可塑性等特性；实现基于神经形态器件的神经元电路，基于神经形态器件的神经元可稳定实现脉冲发放特性，发放频率 $\geq 1\text{MHz}$ ，单次发放功耗 $\leq 1\text{nJ}$ ，最小神经元面积 $\leq 100\text{nm}\times 100\text{nm}$ ；基于该器件与电路，对具有自主学习能力的神经网络进行演示验证。